

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

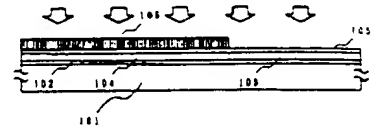
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) POLYSILICON THIN FILM TRANSISTOR INTEGRATED CIRCUIT, IMAGE SENSOR, LIQUID CRYSTAL DISPLAY, SEMICONDUCTOR MEMORY DEVICE, AND MANUFACTURE THEREOF

(11) 6-112490 (A) (43) 22.4.1994 (19) JP
(21) Appl. No. 4-282351 (22) 28.9.1992
(71) SEMICONDUCTOR ENERGY LAB CO LTD (72) ISAMU KOBORI
(51) Int. Cl.⁵ H01L29/784, G02F1/136, H01L27/146

PURPOSE: To enable a TFT high in mobility and low in leakage current to be easily mass-produced by a method wherein at least the active layer of one of P-channel type polysilicon thin film transistors is set smaller in oxygen or nitrogen concentration than a specific value, and those of the other transistors are set larger than the specific value.

CONSTITUTION: A base oxide film 102 is deposited on a substrate 101, an N-type region 114 and P-type regions 113 and 115 are formed thereon, and active layers 116, 117, and 118 are formed at the same time. The active layers 116 and 117 are set smaller than 10^{18}cm^{-3} in oxygen or nitrogen concentration, and on the other hand, the active layer 118 is set above 10^{18}cm^{-3} in oxygen or nitrogen concentration. By this setup, TFTs of two kinds, one high in mobility and the other high in leakage current, can be separately mass-produced with ease by minimally changing manufacturing processes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-112490

(43) 公開日 平成6年(1994)4月22日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/146				
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		7210-4M	27/ 14	C
審査請求 未請求 請求項の数5(全 9 頁) 最終頁に続く				

(21) 出願番号 特願平4-282351

(22) 出願日 平成4年(1992)9月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小堀 勇

神奈川県厚木市長谷398番地 株式会社半

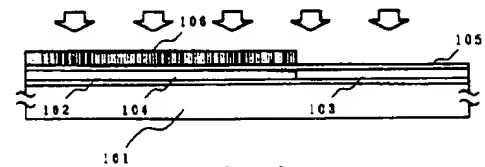
導体エネルギー研究所内

(54) 【発明の名称】 ポリシリコン薄膜トランジスタ集積回路、イメージセンサ、液晶ディスプレイ、半導体メモリー装置およびその製造方法

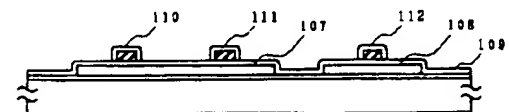
(57) 【要約】

【目的】 薄膜状絶縁ゲイト型半導体装置を用いて、ダイナミック駆動をおこなう集積回路の最適な構成およびプロセスを提供する。

【構成】 薄膜状絶縁ゲイト型トランジスタを有するダイナミック回路を構成する際に、リーク電流の小さなTFTを形成するために、PMOSを使用し、かつ、その活性層に酸素もしくは窒素を 10^{18} cm^{-3} 以上ドーピングするとともに、その他の高速動作を要求されるTFTでは、酸素および窒素の濃度はいずれも 10^{18} cm^{-3} 以下とする。



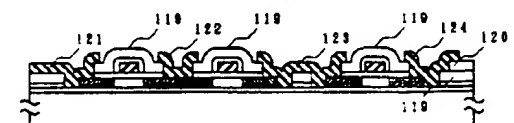
(A)



(B)



(C)



(D)

【特許請求の範囲】

【請求項1】 同一基板上に少なくとも2つのPチャネル型ポリシリコン薄膜トランジスタを有する集積回路において、

そのうちの少なくとも1つのPチャネル型ポリシリコン薄膜トランジスタはその活性層中の酸素もしくは窒素の濃度がいずれも 10^{13} cm^{-3} 以下であることと、他のPチャネル型ポリシリコン薄膜トランジスタの活性層中の酸素もしくは窒素のいずれかの濃度が 10^{13} cm^{-3} 以上であること、

を特徴とするポリシリコン薄膜トランジスタ集積回路。

【請求項2】 同一基板上に形成された複数の薄膜トランジスタによって構成されたイメージセンサーの駆動回路において、

信号出力段の薄膜トランジスタがPチャネル型であり、その活性層中の酸素もしくは窒素いずれかの濃度が 10^{13} cm^{-3} 以上であることと、

他のPチャネル型ポリシリコン薄膜トランジスタの活性層中の酸素もしくは窒素の濃度がいずれも 10^{13} cm^{-3} 以下であること、

を特徴とするイメージセンサー。

【請求項3】 薄膜トランジスタによって構成されたアクティブマトリクス領域とその駆動回路を同一基板上に有する液晶ディスプレイ装置において、

アクティブマトリクスを構成する薄膜トランジスタがPチャネル型であり、その活性層中の酸素もしくは窒素いずれかの濃度が 10^{13} cm^{-3} 以上であることと、周辺回路を構成するシリコン薄膜トランジスタの活性層中の酸素もしくは窒素の濃度がいずれも 10^{13} cm^{-3} 以下であること、

を特徴とする液晶ディスプレイ。

【請求項4】 絶縁表面上に形成された薄膜トランジスタを有する半導体メモリ装置において、その周辺回路はN型およびP型の薄膜トランジスタによって形成され、メモリ素子領域は、P型の薄膜トランジスタによって形成され、各薄膜トランジスタのゲート電極がビット線に、その不純物領域（ソース、ドレイン）の一方がワード線に接続され、他の不純物領域はキャパシタに接続されたことを特徴とする半導体メモリ装置において、

メモリ素子領域の薄膜トランジスタの活性層中の酸素もしくは窒素いずれかの濃度が 10^{13} cm^{-3} 以上であること、

を特徴とする半導体メモリ装置。

【請求項5】 絶縁表面上に酸素もしくは窒素の濃度がいずれも 10^{13} cm^{-3} 以下のアモルファスもしくはそれと同等な低い結晶性を有する半導体被膜を形成する工程と、

前記半導体被膜に選択的に酸素もしくは窒素の一方あるいは双方を導入して、その濃度を 10^{13} cm^{-3} 以上にす

る工程と、

熱アニールによって、前記半導体被膜を結晶化せしめる工程と、

前記半導体をパターニングして複数の島状領域を形成する工程と、

前記島状領域にゲート電極を設ける工程と、

前記島状領域に選択的に、あるいは自己整合的に不純物を導入して不純物領域（ソース、ドレイン）を形成する工程とを有することを特徴とする薄膜トランジスタ集積回路の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路とその作製方法に関する。具体的には、液晶表示装置やダイナミックRAM（DRAM）のように、マトリクス構造を有し、スイッチング素子としてMOS型もしくはMIS（金属-絶縁体-半導体）型電界効果素子（以上を、MOS型素子と総称する）を有し、ダイナミックな動作をおこなうことを特徴とするマトリクス装置（電気光学表示装置、半導体メモリ装置を含む）、およびそのための駆動回路、あるいはイメージセンサーのような集積化された駆動回路を有する半導体回路に関する。特に本発明は、MOS型素子として絶縁表面上に形成された薄膜半導体トランジスタ等の薄膜半導体素子を使用する装置に関し、薄膜トランジスタの活性層がポリシリコンより形成されたポリシリコン薄膜トランジスタを有する装置に関する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ（TFET）が熱心に研究されている。これらは、透明な絶縁基板状に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用すること、あるいは同じく絶縁基板状に形成されたイメージセンサーの駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFETやポリシリコン（多結晶シリコンともいう）TFETというように区別されている。

【0003】 もっとも、最近ではポリシリコンとアモルファスの中間的な状態を呈する材料も利用する研究がなされている。中間的な状態については議論がなされているが、本明細書では、何らかの熱的プロセス、例えば、450℃以上の温度での熱アニールやレーザー光等の強力なエネルギーを照射すること、によって何らかの結晶状態に達したものを全てポリシリコンと称することとする。

【0004】 また、単結晶シリコン集積回路においても、いわゆるSOI技術としてポリシリコンTFETが用

10

20

30

40

50

いられており、これは例えば高集積度SRAMにおいて、負荷トランジスタとして使用される。但し、この場合には、アモルファスシリコンTFTはほとんど使用されない。

【0005】さらに、絶縁基板上の半導体回路では、基板と配線との容量結合がないため、非常な高速動作が可能であり、超高速マイクロプロセッサや超高速メモリーとして利用する技術が提案されている。

【0006】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT(PMOSのTFT)を作製することができず、したがって、Nチャネル型TFT(NMOSのTFT)と組み合わせて、相補型のMOS回路(CMOS)を形成することができない。

【0007】しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、マトリクス規模の小さい液晶ディスプレイのアクティブマトリクスのトランジスタのように、それほど高速動作が要求されず、一方の導電型だけで十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利用されている。しかしながら、より高度な応用、例えば、大規模マトリクスの液晶ディスプレイにはアモルファスシリコンTFTを利用することは困難であった。また、当然のことながら、高速動作が要求されるディスプレイの周辺回路やイメージセンサーの駆動回路には利用できなかった。また、同じくマトリクス構成であるとはいえ、半導体メモリー装置に利用することも困難であった。

【0008】一方、多結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。例えば、レーザーアニールによって再結晶化させたシリコン膜を用いたTFTでは、電界移動度として $300\text{ cm}^2/\text{Vs}$ もの値が得られている。通常の単結晶シリコン基板上に形成されたMOSトランジスタの電界移動度が $500\text{ cm}^2/\text{Vs}$ 程度であることからすると、極めて大きな値であり、単結晶シリコン上のMOS回路が基板と配線間の寄生容量によって、動作速度が制限されるのに対して、絶縁基板上であるのでそのような制約は何ら無く、著しい高速動作が期待されている。

【0009】また、ポリシリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路(ドライバー等)をもCMOSの多結晶TFTで構成する、いわゆるモノリシック構造を有するものが知られている。前述のSRAMに使用されるTFTもこの点に注目したもので

あり、PMOSをTFTで構成し、これを負荷トランジスタとしている。

【0010】また、通常のアモルファスTFTにおいては、単結晶IC技術で使用されるようなセルフアラインプロセスによってソース/ドレイン領域を形成することは困難であり、ゲイト電極とソース/ドレイン領域の幾何学的な重なりによる寄生容量が問題となるのに対し、ポリシリコンTFTはセルフアラインプロセスが採用できるため、寄生容量が著しく抑えられるという特徴を持つ。

【0011】しかしながら、ポリシリコンTFTはゲイトに電圧が印加されていないとき(非選択時)のリーク電流がアモルファスシリコンTFTに比べて大きく、液晶ディスプレイで使用するには、このリーク電流を補うための補助容量を設け、さらにTFTを2段直列にしてリーク電流を減じるという手段が講じられた。

【0012】例えば、アモルファスシリコンTFTの高いOFF抵抗を利用し、なおかつ、同一基板上にモノリシックに高い移動度を有するポリシリコンTFTの周辺回路を形成しようとするれば、アモルファスシリコンを形成して、これに選択的にレーザーを照射して、周辺回路のみを結晶化せしめるという方法が提案されている。

【0013】しかしながら、現在のところ、レーザー照射プロセスの信頼性の問題(例えば、照射エネルギーの面内均一性が悪い等)から歩留りが低く、また、アクティブマトリクス領域には移動度の低いアモルファスシリコンTFTを使用することになるので、より高度な利用は困難であった。レーザー照射プロセスについては、より信頼性が高く、コストの低い熱アニールが望まれた。

また、製品の付加価値を高める意味から最低でもTFTの移動度は $5\text{ cm}^2/\text{Vs}$ が望まれた。

【0014】

【発明が解決しようとする課題】本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTFTと低リーク電流が要求されるTFTという2種類のTFTを最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

【0015】

【問題を解決する方法】本発明の適用される半導体回路は普遍的なものではない。本発明は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用し、対向する電極との間にこれらの材料をはさみ、対向電極との間に電界をかけて、画像表示をおこなうためのアクティブマトリクス回路や、DRAMのようなキャパシタに電荷を蓄積することによって記憶を保持するメモリー装置や、同じくMOSトランジスタのMOS構造部をキャパシタとして、あるいはその他のキャ

バシタによって、次段の回路を駆動するダイナミックシフトレジスタのようなダイナミック回路を有する回路、さらには、イメージセンサーの駆動回路のようなデジタル回路とアナログ的な信号出力を制御する回路とを有する回路等に適している。特に、ダイナミック回路とスタティック回路の混載された回路に適した発明である。

【0016】従来、高い移動度のTFTを作るためには含まれる不純物濃度を極力低くすることがなされた。これは単結晶状態とは異なって、ポリシリコンでは不純物によって結晶粒界のエネルギー障壁が低くなるからである。本発明人の研究によると、ポリシリコン中に含まれる酸素もしくは窒素の濃度によって、TFTの特性が変動することが明らかになった。すなわち、一般に酸素もしくは窒素の濃度が大きくなると、NMOSもPMOSも移動度が低下することが観測された。例えば、ポリシリコン中の酸素濃度が $9 \times 10^{17} \text{ cm}^{-3}$ では、NMOS、PMOSの電界移動度は、それぞれ、 $42 \text{ cm}^2/\text{Vs}$ 、 $29 \text{ cm}^2/\text{Vs}$ であったが、酸素濃度が $4 \times 10^{18} \text{ cm}^{-3}$ では、NMOS、PMOSの電界移動度は、それぞれ、 $36 \text{ cm}^2/\text{Vs}$ 、 $22 \text{ cm}^2/\text{Vs}$ と低下した。

【0017】しかしながら、さらに興味深いことには、酸素もしくは窒素の存在によって、リーク電流はNMOSとPMOSでは全く異なった振る舞いをすることが発見された。その様子は図1に示されているが、NMOS(図1(B))では酸素濃度が $9 \times 10^{17} \text{ cm}^{-3}$ (図中cと表示した曲線)から $4 \times 10^{18} \text{ cm}^{-3}$ (図中dと表示した曲線)へ増加するにしたがって、リーク電流が 10 pA から 100 pA (ドレイン電圧 $+1 \text{ V}$ 、ゲート電圧 -10 V)へ、1桁増加したのに対して、PMOS(図1(A))では、 $9 \times 10^{17} \text{ cm}^{-3}$ (図中aと表示した曲線)から $4 \times 10^{18} \text{ cm}^{-3}$ (図中bと表示した曲線)へ増加するにしたがって、 10 pA から 1 pA (ドレイン電圧 -1 V 、ゲート電圧 $+10 \text{ V}$)へ減少したのである。本発明人の研究によれば、酸素もしくは窒素の濃度が 10^{18} cm^{-3} の前後で、極めて劇的な変化が生じることが明らかになった。

【0018】酸素濃度の増加とともに移動度がPMOS、NMOS双方において低下したことは、先述の通り、活性層のポリシリコンの結晶粒界のエネルギー障壁が高くなったためと説明される。一方、リーク電流の変化については、酸素や窒素が、リン、アンチモン、砒素、ビスマス等と同様にドナーとして機能することから、ポリシリコン活性層が弱いN型として機能するため、と説明できる。

【0019】本発明は、この特性を利用したもので、高移動度が要求されるTFTにおいては、活性ポリシリコン中の不純物濃度を極力減らす一方、低リーク電流が要求されるTFTでは、これをPMOSとし、しかも、意図的に酸素もしくは窒素の濃度を増大せしめ、 10^{18} cm^{-3}

cm^{-3} 以上とする。好ましくは 10^{19} cm^{-3} 以上とする。その際には、移動度の低下が懸念されるが、本発明人の研究では、移動度の低下はせいぜい50%であり、PMOSにおいても $10 \text{ cm}^2/\text{Vs}$ 以上であるので、本発明の目的とする各種装置に使用して、十分な特性を得ることができる。

【0020】本発明においては、酸素もしくは窒素の導入の際に、高移動度TFTの領域をマスクして、酸素もしくは窒素(あるいはその双方)のイオンを導入することによって、上記の構成を成就することを持徴とする。さらに、その後、熱アニールによって、高移動度TFTと低リーク電流TFTの双方の活性層の結晶化をおこなう。ここで、熱アニールを用いるのは、均一性において優れているからである。なお、熱アニールの工程は、ゲイト電極が形成された後でも、ソース/ドレインが形成された後でも構わない。熱アニールの温度は、基板やその他の材料によって制約を受けるが、シリコンや石英を基板として使用した場合には、最高 1100°C の熱アニールまで可能である。例えば、典型的な無アルカリガラスであるコーニング社の7059ガラスの場合には、 650°C 以下の温度でのアニールが望ましい。

【0021】本発明では、酸素や窒素を導入することによって活性層の状態を変化させることを特徴とするが、ここで、注意しなければならないことは、従来のようにリンやボロンといったドナーやアクセプターを微量(10^{17} cm^{-3} 以下)導入することによるしきい値電圧コントロールに比して、本発明はその10倍以上もの量を導入する点で大きな違いがあることである。例えば液晶ディスプレイやイメージセンサーでは、基板の典型的な大きさが従来のICプロセスで使用されていた場合の数倍であり、例えば、ドーピングという工程にしても、従来のような質量分離されたイオンを注入するという技術は使用できない。したがって、 10^{17} cm^{-3} 以下の微量ドーピングはほとんど実施できなかった。したがって、実質的に従来のようなしきい値電圧コントロールは不可能であった。

【0022】これに対し、本発明では、1桁以上も大きなドーズ量によって目的を成就するが、そのために量産性が低下することはほとんどない。しかも、この程度のドーズ量の制御は比較的容易であるので、装置のメンテナンスや維持費用を考慮すると極めて経済的である。

【0023】本発明の1つの例は、液晶等のアクティブマトリクス回路の表示部分において、PMOSのTFTをスイッチングトランジスタとして用い、アクティブマトリクス領域のTFTの活性層中の酸素濃度を 10^{18} cm^{-3} 以上、好ましくは 10^{19} cm^{-3} 以上とし、一方、周辺回路に使用されるTFTの活性層中の酸素や窒素の濃度はいずれも 10^{18} cm^{-3} 以下、好ましくは 10^{17} cm^{-3} 以下とすることである。ここでは、PMOSのTFTがデータ線と画素電極に対して直列に挿入されているこ

とが必要であり、NMOSのTFTが並列に挿入されている場合は、リーク電流が多いためかような表示の目的には不適切である。しかし、画素のTFT回路においてはPMOSとNMOSのTFTが直列に挿入されている場合も本発明は含む。もちろん、2つのPMOSのTFTが並列に挿入されていることも本発明の技術範囲である。

【0024】前記のような表示回路部（アクティブマトリクス）とその駆動回路（周辺回路）とを有する装置において、駆動回路をCMOS回路とすることである。この場合、回路の全てがCMOSである必要はないが、トランスミッションゲイトやインバータ回路はCMOS化されるのが望ましい。そのような装置の概念図を図2（A）に示した。図には絶縁基板7上にデータドライバー1とゲイトドライバー2が構成され、また、中央部にPMOSのTFTを有するアクティブマトリクス3が構成され、これらのドライバー部とアクティブマトリクスとがゲイト線5、データ線6によって接続された表示装置が示されている。アクティブマトリクス3はPMOSを有する画素セル4の集合体である。

【0025】ドライバー部のCMOS回路に関しては、高移動度を得るために活性層における酸素や窒素、炭素等の不純物の濃度は 10^{18} cm^{-3} 以下、好ましくは 10^{17} cm^{-3} 以下とすることが望まれる。その結果、例えば、TFTのしきい値電圧は、NMOSでは0.5～2V、PMOSでは-0.5～-3V、さらに移動度は、NMOSでは $30 \sim 150 \text{ cm}^2/\text{Vs}$ 、PMOSでは $20 \sim 100 \text{ cm}^2/\text{Vs}$ であった。

【0026】一方、アクティブマトリクス部においては、リーク電流が、ドレイン電圧1Vで1pA程度の小さな素子を単独もしくは複数直列にして用いることによって、補助容量を小さくすることができ、さらには全く不必要とすることができた。

【0027】本発明の2つめの例はDRAMのような半導体メモリーに関するものである。半導体メモリー装置は、単結晶ICでは既に速度の限界に達している。これ以上の高速動作をおこなわせるには、トランジスタの電流容量をより大きくすることが必要であるが、それは消費電流の一段の増加の原因になるばかりではなく、特にキャパシタに電荷を蓄えることによって記憶動作をおこなうDRAMに関しては、キャパシタの容量をこれ以上、拡大できない以上、駆動電圧を上げることによって対応するしか方法がない。

【0028】単結晶ICが速度の限界に達したといわれるのは、一つには基板と配線の容量によって、大きな損失が生じているからである。もし、基板に絶縁物を使用すれば、消費電流をあげなくとも十分に高速な駆動が可能である。このような理由からSOI（絶縁物上の半導体）構造のICが提案されている。

【0029】DRAMにおいても、1Tr/セル構造の場合には、先の液晶表示装置と回路構成がほとんど同じ

であり、それ以外の構造のDRAM（例えば、3Tr/セル構造）でも、記憶ビット部のTFTに本発明のリーク電流の小さいPMOSのTFTを使用する。一方、その駆動回路は十分な高速動作を必要とされるので、前記の液晶表示装置と同様に、活性層の不純物濃度の著しく小さい素子を用い、また、消費電力を抑制する目的からは同様にCMOS化することが望ましい。

【0030】このような半導体メモリー装置においても、基本的なブロック構成は図2（A）のものと同じである。例えば、DRAMにおいては、1がコラムデコーダー、2がローデコーダー、3が記憶素子部、4が単位記憶ビット、5がビット線、6がワード線、7が（絶縁）基板である。

【0031】液晶表示装置のアクティブマトリクスもDRAMも、いずれもリフレッシュ動作を必要とするものであるが、そのリフレッシュの期間の間には、画素の容量やキャパシタの容量に蓄積された電荷が放電してしまわないように、TFTが十分に大きな抵抗として機能する必要がある。本発明は、このような目的で使用されるTFTの活性層中に酸素や窒素を意図的にドーピングすることによって、リーク電流を抑制するのであるが、このドーピングによって、移動度が低下することは先に述べた通りである。また、移動度の低下の度合いは、ドーズ量によって変化するが、本発明を実施しようとする者は、リーク電流と移動度がその目的に合致するように最適なドーズ量を選択しなければならないことは言うまでもない。

【0032】本発明の第3の応用例は、イメージセンサー等の駆動回路である。図2（B）には、イメージセンサーの1ビットの回路例を示したが、図中のフリップ・フロップ回路8およびバッファ回路9は、通常、CMOS回路によって構成され、走査線に印加される高速パルスに追従できるだけの高速の応答が要求される。一方、その信号出力段のTFT10は、フォトダイオードによってキャパシタに蓄積された電荷をシフトレジスタ部8、9からの信号によって、データ線に放出するダムの役目を負っている。

【0033】このようなTFT10には、高速応答もさることながら、リーク電流の少ないことも要求される。したがって、このような回路において、回路8、9のTFTの活性層の不純物濃度は 10^{18} cm^{-3} 以下、好ましくは 10^{17} cm^{-3} 以下とすることが望まれる。一方のTFT10においては、窒素もしくは酸素の濃度が 10^{18} cm^{-3} 以上であることが望まれる。この場合も、リーク電流と移動度がその目的に合致するように最適なドーズ量を選択しなければならないことは言うまでもない。

【0034】

【実施例】〔実施例1〕 図3に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路およびアクティブマトリクス領域に低温アニールによるポリシリコン

TFTを使用したものである。

【0035】まず、コーニング7059基板101上に、スパッタ法によって下地酸化膜102を厚さ20～200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50～150nm堆積した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は 10^{13}cm^{-3} 以下、好ましくは 10^{12}cm^{-3} 以下とする。この目的には減圧CVD法が適している。本実施例では、酸素濃度は 10^{12}cm^{-3} 以下とした。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜(厚さ10～50nm)105を形成した。その後、周辺回路領域104をフォトリソスト106等で覆い、アクティブマトリクス領域103のみを露出させた。

【0036】そして、イオンドーピング装置によって、図3(A)に示すように酸素イオンを照射した。加速エネルギーは保護層105の厚さに応じて、10～100keVとした。ドーズ量は、保護層105の厚さと加速エネルギー、および下地のアモルファスシリコン膜103の厚さによって最適な値を決定すればよい。例えば、アモルファスシリコン膜の厚さが100nm、保護層が25nm、加速エネルギーが50keVのときには、ドーズ量を $5 \times 10^{13}\text{cm}^{-2}$ とすることによって、アモルファスシリコン膜103のほぼ全域にわたって、酸素濃度を $5 \times 10^{13}\text{cm}^{-3}$ とすることができた。

【0037】次に、フォトリソスト106を除去した後、600℃で24時間アニールすることによって、アモルファスシリコン膜の結晶化をおこなった。その後、これらのSi膜を島状にパターニングし、例えば、図3(B)のように、周辺回路の島状領域107とアクティブマトリクス領域の島状領域108を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜(厚さ50～150nm)を形成し、これをゲイト絶縁膜109とした。その後、厚さ200nm～5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、各島状領域にゲイト電極を形成した。

【0038】さらに、基板を電解溶液に浸してゲイト電極に電流を通じ、その周囲に陽極酸化物の層を形成した。なお、この際には、特願平4-30220、同4-38637および同4-54322に示される如く、周辺回路領域のTFTの陽極酸化膜を導くして移動度を向上せしめ、また、アクティブマトリクス部のTFTの陽極酸化膜を厚くしてゲイトリークを防止するという構成を取ることが望ましいが、本実施例では、いずれも陽極酸化膜の厚さは200～250nmとした。以上の工程によって各TFTのゲイト電極部110～112が作製された。

【0039】その後、イオンドーピング法によって、各

TFTの島状シリコン膜中に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン(PH_3)をドーピングガスとして磷を注入し、その後、図の島状領域107の右側のみをフォトリソストで覆って、ジボラン(B_2H_3)をドーピングガスとして、島状領域107の左側とアクティブマトリクス領域に硼素を注入した。ドーズ量は、磷は $2 \sim 8 \times 10^{13}\text{cm}^{-2}$ 、硼素は $4 \sim 10 \times 10^{15}\text{cm}^{-2}$ とし、硼素のドーズ量が磷を上回るように設定した。

【0040】ドーピング工程によって、シリコン膜の結晶性が破壊されるが、そのシート抵抗は $1\text{k}\Omega/\square$ 程度とすることも可能であった。しかし、この程度のシート抵抗では大きすぎる場合には、さらに、600℃で2～24時間アニールすることによって、より、シート抵抗を低下させることが可能である。

【0041】以上の工程によって、N型の領域114、およびP型の領域113、115が形成された。これらの領域のシート抵抗は200～800 Ω/\square であった。また、同時に活性層116～118も形成されたが、このうち、活性層116と117においては、窒素、酸素、炭素の濃度は 10^{17}cm^{-3} 以下であり、一方、活性層118は図3(A)の工程によって、酸素の濃度が $5 \times 10^{13}\text{cm}^{-3}$ にまで高められている。その後、全面に層間絶縁物119として、スパッタ法によって酸化珪素膜を厚さ300～1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバーレージの良好な酸化珪素膜が得られる。

【0042】その後、画素電極120として、スパッタ法によってITO膜を形成し、これをパターニングした。そして、TFTのソース/ドレイン(不純物領域)にコンタクトホールを形成し、クロム配線121～124を形成した。図3(D)には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。配線121～124は、シート抵抗をさげるためクロムあるいは窒化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。

【0043】〔実施例2〕絶縁基板上にフォトダイオードとTFT駆動回路が一体化して形成されたイメージセンサーの駆動回路において、シフトレジスタ部分をCMOSのTFT回路で、シフトレジスタからの信号によって蓄積電荷を制御するTFTをPMOSのTFTで構成した。これらのTFTには低温アニールによるポリシリコンTFTを使用した。その構成例は図2(B)に示される。プロセスは実施例1とほぼ同様のものを採用した。図2のTFT10の活性層には酸素をイオンドーピン

グによって注入し、その濃度を $2 \times 10^{17} \text{ cm}^{-3}$ とした。他のTFTにおいては、酸素、窒素および炭素の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下とした。これによって、フォトダイオードによって蓄積された電荷の収集能力の高いイメージセンサーを作製することができた。

【0044】

【発明の効果】以上の説明からも明らかなように、本発明は、従来のポリシリコンTFTの作製プロセスにおいて、酸素もしくは窒素を選択的にシリコン中に導入するための工程を設けるとい、最小の変更によって、課題を解決することができた。

【0045】本発明によって、特にダイナミックな回路およびそのような回路を有する装置の信頼性と性能を高めることができた。従来、特に液晶表示装置のアクティブマトリクスのような目的に対してはポリシリコンTFTはON/OFF比が低く、実用化にはさまざまな困難があったが、本発明によってそのような問題はほぼ解決されたと思われる。さらに、実施例2に示したように絶縁基板上的イメージセンサーの駆動回路にも利用できる。実施例では示さなかったが、単結晶半導体集積回路の立体化の手段として用いられるTFTにおいても本発明を実施することによって効果を挙げられることは明白であろう。

【0046】例えば、周辺論理回路を単結晶半導体上の半導体回路で構成し、その上に層間絶縁物を介してTFTを設け、これによってメモリー素子部を構成することもできる。この場合には、メモリー素子部を本発明のPMOSのTFTを使用したDRAM回路とし、その駆動回路は単結晶半導体回路にCMOS化されて構成されている。しかも、このような回路をマイクロプロセッサに利用した場合には、メモリー部を2階に上げることになるので、面積を節約することができる。このように本発明は産業上、極めて有益な発明であると考えられる。

【図面の簡単な説明】

【図1】 (A) NMOSのTFTのゲート電圧ードレイン電流特性を示す。

(B) PMOSのTFTのゲート電圧ードレイン電流特性を示す。

(いずれも、横軸はゲート電圧(V_g)、縦軸はドレイン電圧(V_d))

【図2】 (A) 本発明をアクティブマトリクス装置に応用した場合のブロック図を示す。

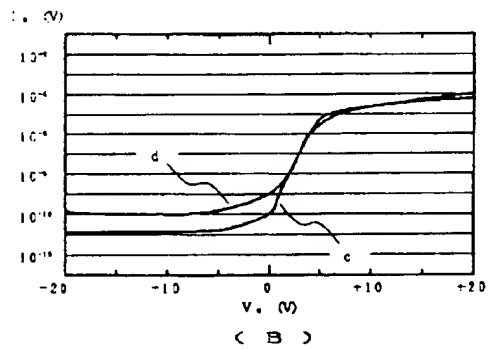
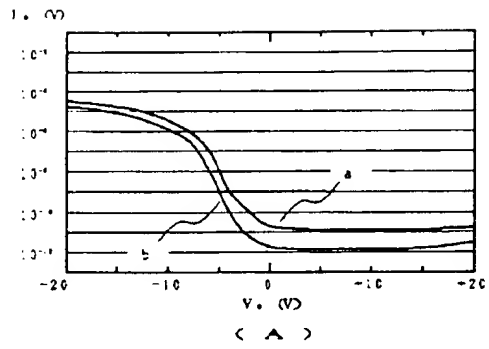
(B) 本発明をイメージセンサーの駆動回路に応用した場合の回路例を示す。

【図3】 実施例の工程を示す。

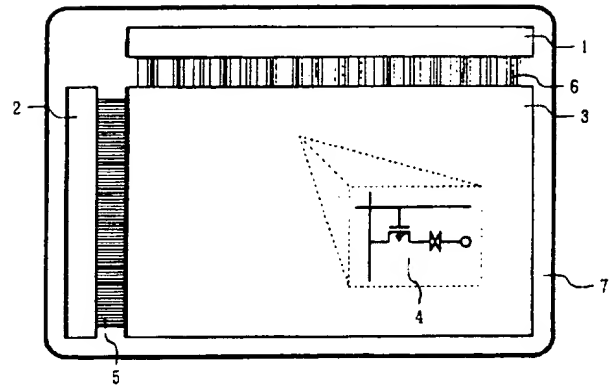
【符号の説明】

101	絶縁基板
102	下地酸化膜
103	半導体領域(マトリクス領域)
104	半導体領域(周辺回路領域)
105	保護絶縁膜
106	マスク(フォレジスト)
107	島状半導体領域(周辺回路用)
108	島状半導体領域(マトリクス用)
109	ゲート絶縁膜
110	ゲート電極(PTFT用)
111	ゲート電極(NTFT用)
112	ゲート電極(アクティブマトリクスTFT用)
113、115	P型不純物領域
114	N型不純物領域
116~118	活性層
119	層間絶縁物
120	画素電極(ITO)
121~124	金属配線

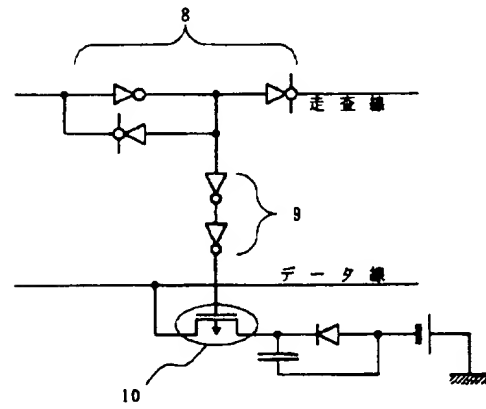
【図1】



【図2】

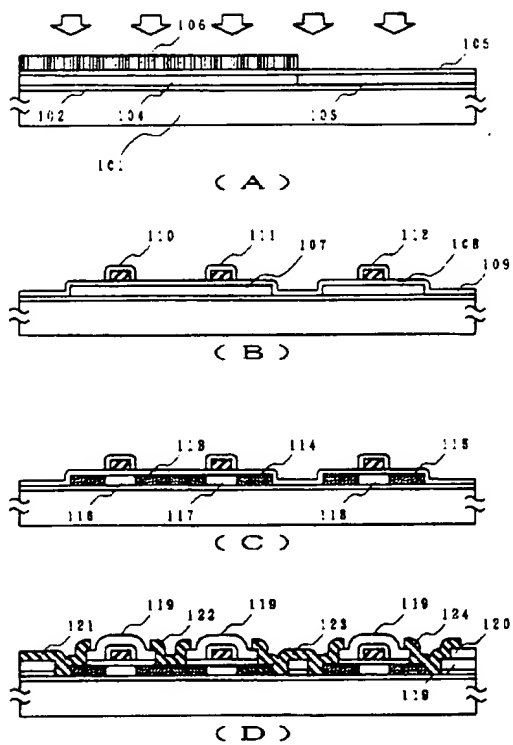


(A)



(B)

【図3】



フロントページの続き

(51)Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 C